

P16546a  
AN

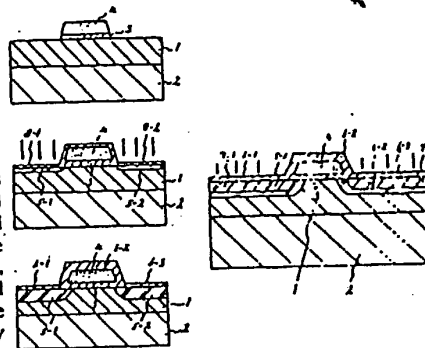
H01L29/784F

# (51) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 61-103873 (A) (43) 23.5.1986 (19) JP  
(21) Appl. No. 60-220059 (22) 4.10.1985  
(71) HITACHI LTD (72) YOSHIKI KAMIGAKI(5)  
(51) Int. Cl. H01L29/78, H01L21/265

**PURPOSE:** To obtain a semiconductor device in a high-withstand voltage structure by a method wherein the high-concentration impurity region constituting the drain region is formed by the mask away from the gate electrode compared to the low-concentration impurity region.

**CONSTITUTION:** An oxide film is formed on a substrate 1 by performing a thermal oxidation and after a 4,000-Å thick polycrystalline silicon layer, wherein phosphorus is contained in high concentration, is deposited thereon, a gate insulating film 3 and a gate electrode 4 are formed. After that, a thermal oxidation is performed and phosphorus is ion-implanted in the substrate 1 as wide as  $2 \times 10^{13} \text{ cm}^{-2}$  through oxide films 8-1 and 8-2, which are formed at the time of the foregoing thermal oxidation, and ion-implanted layers 5-1 and 5-2 are formed. Subsequently, wet and dry thermal oxidation are performed and 210-Å thick oxide films 6-1 and 6-3 are formed on the substrate. At this time, a 3,000-Å thick oxide film 6-2 is formed on the periphery of the electrode 4, because an impurity, phosphorus, is being contained in the polycrystalline silicon layer in high concentration. After then, arsenic is ion-implanted as wide as  $6 \times 10^{13} \text{ cm}^{-2}$ . After that, a thermal treatment is performed and phosphorus impurity layers 5-1 and 5-2 and arsenic impurity layers 7-1 and 7-2 are formed as the final diffusion layers.



⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-105873

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)5月23日

H 01 L 29/78  
21/265

8422-5F  
6603-5F

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-220059

⑰ 出 願 昭52(1977)3月4日

⑱ 特 願 昭52-22677の分割

⑲ 発 明 者 神 垣 良 昭 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 伊 藤 清 男 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 大 西 新 二 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

㉒ 発 明 者 吉 田 功 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

# 明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体基板上にエピタキシャル成長層を設ける工程、

該エピタキシャル成長層上に絶縁膜を形成する工程、

該絶縁膜上にゲート電極を堆積する工程、

該ゲート電極を所望形状に形成する工程、

該ゲート電極をマスクとして、第1導電型の第1の不純物を導入する工程、

上記ゲート電極の少なくとも両側に絶縁膜を設ける工程、

上記ゲート電極とその少なくとも両側に設けられた絶縁膜をマスクとして、第1導電型の第2の不純物を導入する工程、

熱処理により、上記導入された不純物を活性化する工程とを含むことを特徴とする半導体装置の製造方法、

発明の詳細な説明

## (産業上の利用分野)

本発明は、高耐圧化構造、低抵抗の配線、加工性が容易で素子特性が安定な半導体装置ならびにその製造方法に関する。

## (従来の技術)

従来は、MOSトランジスタのパンチスルー配線を向上する手段として、例えば特開昭49-105490号公報に示されるような、ドレインを二重に設ける構造があった。これらの技術は、いわゆる単体の高耐圧MOSトランジスタに関するものであり、あまり複雑化を要求されていない技術である。

## (発明が解決しようとする課題)

いわゆる集積回路として半導体装置の複雑化にともない、配線層数を多く形成することが要求されており、そのために配線抵抗の小さい不純物が用いられる傾向にある。この場合、形成される膜中の不純物濃度が急激に変化するため接合部が低下する。この現象は局所素子の動作電圧電位の低下につながるばかりか、素子の安定動作の寿命を

も低下させてしまう。

すなわち、半導体装置の微細化にともないドレン・ソース間の接合電圧よりも低下し得るゲート・バイアス時にドレン・ソース電圧の最小を示す。この現象はnチャネルの場合にたつぎのように説明される。すなわちチャネルを流れるキャリア電子がドレン近傍の高電界領域を移動するときに強いアバランシェ破壊を引き起こし、そのときに発生する正孔が直列基板抵抗 $R_{sub}$ をもった基板に注入されてラテラルnpn動作を誘起する。

本発明は、前記問題を解決するためになされたもので、高電圧化製造の半導体装置およびその製造方法を提供することを目的とする。

(問題を解決するための手段)

本発明では、高電圧化製造を実現するためには、このラテラルnpn動作を阻止する対策を必要とする。すなわち、

- ① ドレン近傍での正孔の発生を抑制する製造、
- ② ある程度発生した正孔をソース近傍に留め

られないようにする製造

との少なくとも一方又は、双方の製造を兼ね備えた半導体装置が望まれる。前者の正孔の発生を抑制する製造には、ドレン領域の電界を緩和するため拡散剤不純物の種やかな分布が望ましく、低い高濃度不純物層に加えてその接合界面面に拡散剤の大きい不純物を低濃度に拡散させる方法が有効である。また後者の正孔の留めを阻止する製造には、直列基板抵抗を小さくすることが望ましく、ドレン領域を設けた半導体基板を導くだけ低半導体基板よりも抵抗小なる半導体もしくは導体をオーム接触により接続した基板を使用する方法が有効である。とくに同質化された半導体装置を実現するための高濃度と低濃度との2層にわたって不純物を拡散する際、ゲート電極を3層自己整合的に使用し、その際ゲート電極長も異なっているような製造方法が有効である。

(作用)

本発明では、ドレン領域を形成する不純物領域を高濃度領域と低濃度領域で構成し、かつこれら

・3・

の不純物領域はゲート電極と自己整合で形成されかつ高濃度領域が低濃度領域に比較し、ゲート電極から離れた自己整合のマスクによって形成されるものである。このように形成することにより低濃度領域と高濃度領域の間隔（低濃度領域の部分）が広がり、該部分の抵抗分による電圧降下による電界緩和がより一層効果的になるものである。これによりドレン近傍での正孔の発生（いわゆるホットキャリア）を抑制できるものである。

(実施例)

以下、本発明を実施例を参照して詳細に説明する。（なお、以下の説明はnチャネルで説明するが、pチャネルでもよいことは言うまでもない。）

第1図乃至第5図は、本発明の実施例で半導体装置の断面図とその製造工程である。第1図において1はp型のエピタキシャル層で、不純物濃度 $N_A$ が $3 \times 10^{16} \text{ cm}^{-3}$ で、厚さが $10 \mu\text{m}$ である。2は、p型の高不純物濃度基板で、 $N_A$ が $3 \times 10^{18} \text{ cm}^{-3}$ である。以下半導体装置の断面の説明を製造方法を加えて述べる。第2図では、基板1

・4・

上に $1000^\circ\text{C}$ 、60分の熱酸化で酸化膜を形成し、その上に厚さ $4000 \text{ \AA}$ の高濃度にリンが含まれた多結晶シリコンを堆積した後ホトリソ加工技術によってゲート絶縁膜3およびゲート電極4とが形成される。その後第3図に示すごとく $950^\circ\text{C}$ 、22分の熱酸化を行ない、そのとき形成された酸化膜8-1および8-2を介して基板1にリンを加速電圧 $75 \text{ keV}$ で $2 \times 10^{15} \text{ cm}^{-2}$ だけイオン打込みしリン打込み層5-1および5-2を形成する。第4図に示すごとく $750^\circ\text{C}$ の順次熱酸化を90分行ない、つづいて $1000^\circ\text{C}$ の乾式熱酸化を45分行ない基板1上に厚さ $210 \text{ \AA}$ の酸化膜6-1および6-2を形成する。このとき多結晶シリコン中に高濃度に不純物リンが含まれているため、ゲート電極4の周辺には、厚さ $3000 \text{ \AA}$ の酸化膜6-2が形成されている。しかる後、第5図に示すごとくヒジを加速電圧 $70 \text{ keV}$ で $6 \times 10^{15} \text{ cm}^{-2}$ イオン打込みする。その後 $1000^\circ\text{C}$ 、40分の熱処理工程を終了すると最終的な拡散層として、リンの不純物層5-1およ

び5-2がさらに上面の不純物層7-1および7-2が形成される。このときの拡散層不純物の濃度分布を第6図に示す。第6図中の曲線(A)は打ち込まれたリンとヒ素とが合成された層の濃度分布を示し、およそ拡散深さが0.2 $\mu$ mまでは $1.5 \sim 2 \times 10^{19} \text{cm}^{-3}$ の高濃度層をなし、拡散深さが0.2~0.5 $\mu$ mの間で不純物濃度の急増が緩やかな勾配をもち、拡散深さが0.4 $\mu$ mのあたりでわずかに急峻な濃度変化がみられる。また第6図中の曲線(B)はリンの打ち込みがなかった場合すなわちヒ素のみを打ち込んだときの濃度分布を示し、拡散深さが0.2 $\mu$ mから0.35 $\mu$ mの間で急峻な濃度勾配がみられる。この曲線(B)の濃度分布は第5図中の拡散層7-1および7-2に相当する。さらに第6図中の曲線(C)はリンのみを打ち込んだときの濃度分布を示し、拡散深さが0.4 $\mu$ mあたりまでは $8 \sim 3 \times 10^{17} \text{cm}^{-3}$ の低濃度分布を示し、0.4 $\mu$ mから0.5 $\mu$ mの間で急峻に高濃度になっている。この曲線(C)の濃度分布が比較的低く形成されているのは、不純物リン

のシリコン中での拡散係数が、その濃度依存性によって低濃度のため小さくなっているからである。以上の説明からあきらかなごとく、第6図中で曲線(A)は曲線(B)および(C)の合成された濃度分布を記している。

(効果)

以上説明してきた半導体装置の製造方法を用いて作製した短チャネルMOS型電界効果トランジスタにおいて、ドレイン電圧はほぼ接合電圧に近づき従来1.5Vの耐圧特性しか得られなかったトランジスタにおいて20V以上の高耐圧化が実現した。またラテラルnon動作も現われず、ドレイン電圧増大の特性はならなくなった。このときの高耐圧化は素子の長時間寿命特性に対して極めて大きな効果を与える。また同時に素子発熱もなくなり素子特性も安定化した。

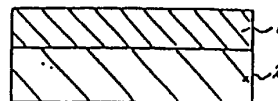
図面の簡単な説明

第1図~第5図は本発明の製造工程を示す図。第6図は、拡散層の不純物濃度分布を示す図である。

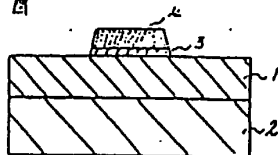
1-エピタキシャル層、2-半導体基板、  
3-ゲート絶縁膜、4-ゲート電極。

代理人 井堀士 小川 勇

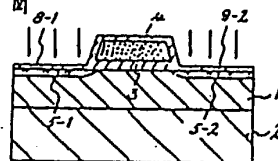
第1図



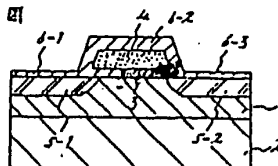
第2図



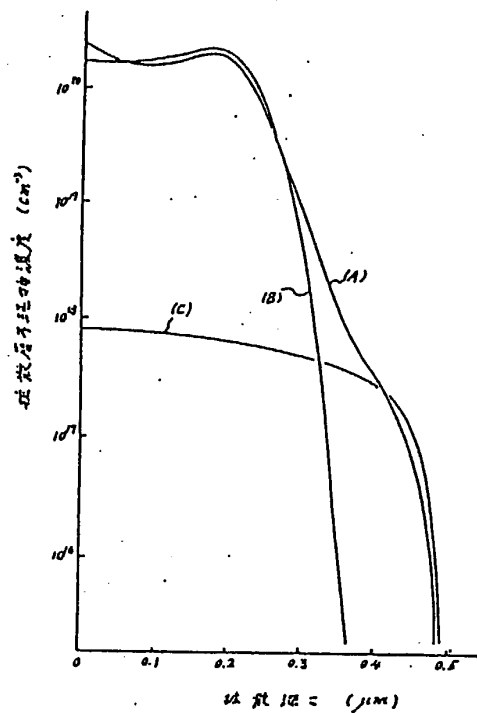
第3図



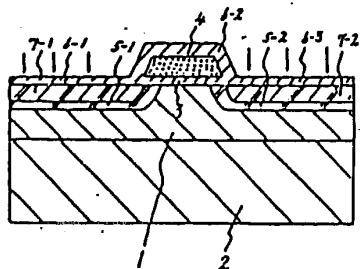
第4図



॥ ६ ॥



第 5 回



第1頁の続き

③発明者 増田 弘 生 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内  
③発明者 小池 潤 一 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

③発 明 者 小 池 潤 一 小 平 市 上 水 本 町 1450 番 地 株 式 会 社 日 立 製 作 所 武 蔵 工 場 内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**